

日本国特許庁(JP)

特許出願公開

公開特許公報(A)

昭60-225888

⑤Int. Cl.⁴

識別記号

庁内整理番号

⑥公開 昭和60年(1985)11月11日

G 09 G 1/02
G 06 F 3/147923-5C
7622-5B

審査請求 未請求 発明の数 1 (全9頁)

④発明の名称 ラスタスキャン型図形表示装置

⑦特 願 昭59-82445

⑧出 願 昭59(1984)4月24日

⑨発 明 者 田 中 一 幸 門真市大字門真1006番地 松下電器産業株式会社内
 ⑨発 明 者 刈 谷 哲 郎 門真市大字門真1006番地 松下電器産業株式会社内
 ⑩出 願 人 松下電器産業株式会社 門真市大字門真1006番地
 ⑪代 理 人 弁理士 宮 井 暎 夫

明 細 書

1. 発明の名称

ラスタスキャン型図形表示装置

2. 特許請求の範囲

(1) ラスタスキャン方式の陰極線管と、この陰極線管上に表示する図形の画面表示位置と1対1に対応する表示アドレスを発生するとともに前記陰極線管に対する垂直および水平同期信号を発生する画面表示制御信号発生器と、ニブル機能を有するダイナミックメモリ素子で構成されて前記陰極線管上に表示する図形に対応するビットデータを記憶し、前記画面表示制御信号発生器から表示アドレスが与えられた時にニブル機能によってその表示アドレスからそれにつづく連続したアドレスの複数のビットデータを順次出力するフレームメモリと、このフレームメモリから出力される複数のビットデータを書込み信号によって記憶し読出し信号によって前記陰極線管の表示タイミングと同期して記憶した複数のビットデータを順次読出し前記陰極線管にビデオ信号として与えるデ-

クラッチとを備えたラスタスキャン型図形表示装置。

(2) 前記データラッチをファーストイン・ファーストアウト型メモリ素子を用いて構成した特許請求の範囲第(1)項記載のラスタスキャン型図形表示装置。

(3) 前記データラッチをDタイプフリップフロップを用いて構成した特許請求の範囲第(1)項記載のラスタスキャン型図形表示装置。

(4) 前記データラッチは、書込みアドレス信号によって選択されたレジスタに書込み信号のタイミングで入力データを書込み、読出しアドレス信号によって選択されたレジスタのデータを読出し信号のタイミングで読出すように構成している特許請求の範囲第(1)項記載のラスタスキャン型図形表示装置。

3. 発明の詳細な説明

産業上の利用分野

この発明は、コンピュータによる図形情報処理システムで使われるラスタスキャン型図形表示装

置に関するものである。

従来例の構成とその問題点

近年、プリント基板の設計、機構設計、グラフィックデザインなどの図形情報を処理する分野では、Computer Aided Design / Computer Aided Manufacturing (以下CAD/CAMと略す) など、コンピュータの高速大容量情報処理能力を利用した図形情報処理システムの普及が著しくなっている。

第1図に図形情報処理システムを構成する機器の一例を示す。第1図において、aは図形情報の数値処理や他のコンピュータシステム間とのデータ転送などを行なうコンピュータ本体である。bおよびcは図形情報などの各種データを記憶する補助記憶装置である。eは図形情報などをハードコピーするためのプロッタである。fは図形情報をラスタスキャン型陰極線管(以下CRTと呼ぶ)上に表示するラスタスキャン型図形表示装置である。gはコンピュータ本体aに対して、図形処理命令などを与えたり、コンピュータ本体aからの

処理結果を表示したりするためのキャラクタ端末装置である。hは図形情報を入力するためのディジタイザである。

こうした図形情報処理システムの利用者からは、扱う図形情報の複雑化、情報量の増加のため、図形情報処理システムの中でも特に、図形情報をコンピュータ本体から受取り、CRT画面上に表示して利用者に視覚情報として提供するラスタスキャン型図形表示装置に対し、表示画素数の拡大、表示速度の向上、表示色数の増加などに関して、性能向上の要求が強い。またここ数年、人間工学的見地からコンピュータシステムの利用環境の見直しが進み、ラスタスキャン型CRTを使用した表示装置に対しては、フリッカの減少など、利用者の疲労を抑えるような表示装置が求められてきている。

このような利用者側からの要求に応じて、最近のラスタスキャン型図形表示装置は、表示画素数の拡大のために画面表示用のメモリ容量を増加させたり、フリッカを減らすためにフレーム周波数

を上げるなどによる高機能化が進んでいる。

以下、図面を参照しながら従来のラスタスキャン型図形表示装置について説明する。

第2図は従来のラスタスキャン型図形表示装置のブロック図を示すものである。第2図において、1は画面表示制御信号発生器(CRT Controller: 以下CRTCと呼ぶ)で、タイミング発生器10からのCRTCクロックを分周して、フレームメモリ5に対し表示アドレスを、またCRTに対し画面上に画像を構成するために使用する垂直・水平同期信号を発生するものである。ここで、表示アドレスとは、第3図に示すように、フレームメモリ5のデータをCRT画面表示位置に対応して順次読出し、CRT画面上にそのデータに対応したドットパターンを、データ中の1ビットの内容が“1”のときはCRT画面上の1ビットをオンし、“0”のときはオフするという方法で表示するために、フレームメモリ5に印加するアドレスである。

2は Central Processing Unit (以下CPU

と呼ぶ)であり、タイミング発生器10からのクロックに従って、CRTC1に対し垂直・水平同期信号のタイミングパラメータなどの設定を行ったり、フレームメモリ5に対して図形データの読出し、修正などのためにデータの読書きを行ったりする。

3は、CPU2からの図形データの書き込み、読出しのために出されるCPUアドレスとCRTC1からの表示アドレスとを、前記両アドレスが同時に出力されてCRT画面上にちらつきが生じないように、切替えてフレームメモリ5のアドレス入力端子に印加するためのアドレス切替器である。

4は、フレームメモリ5に対しCPU2が図形データを書込むときに、CPU2のデータバス13とフレームメモリ5のデータ入力端子とを接続するためのバッファである。

5は、第3図に示すようにCRTの画面上に表示する図形の画面表示位置と1対1に対応した表示アドレスに図形データを記憶するフレームメモリであり、データの入力端子と出力端子が別にな

っている。

6は、CPU2がフレームメモリ5の内容を取出すときに、CPU2のデータバス13とフレームメモリ5のデータ出力端子とを接続するためのバッファである。

7は並列直列変換器であり、フレームメモリ5から出力される並列の図形データを、タイミング発生器10からのビデオクロックに従って直列データに変換するものである。

8はCPU2の動作を制御するプログラムなどを記憶している主記憶メモリである。9は発振器で、装置の動作の基本となるクロックを発生する。10はタイミング発生器で、発振器9より得られる前記クロックを分周して並列直列変換器7の並列データロードクロックやCRTC1およびCPU2の動作クロックやフレームメモリ5に対する制御クロックなどを発生する。

11はCRTC1から出力される表示アドレスをアドレス切替器3の一方の入力端子に伝えるための表示アドレスバスである。12はCPU2の

アドレス出力をアドレス切替器3の他の入力端子や主記憶メモリ8のアドレス入力端子等へ転送するためのアドレスバスである。13は、CPU2とCRTC1やバッファ4、主記憶メモリ8、バッファ6などとの間で、制御パラメータや図形データやプログラムなどを転送するためのデータバスである。

14は発振器9の前記基本クロックをタイミング発生器10で分周したものをCRTC1の基本クロックとして伝えるためのCRTCクロック線である。15は、前記CRTCクロックと同様に、発振器9の前記基本クロックをタイミング発生器10で分周したものをCPU2の基本クロックとして伝えるためのCPUクロック線である。16は、フレームメモリ5に対し、CPU2から図形データを書込むときに使用するWRITE信号線である。

17は、フレームメモリ5に対し、行アドレスを設定するための行アドレス選択信号(Row Address Select 信号-以下RAS信号と略す)を伝え

るRAS信号線である。18は、フレームメモリ5に対し、列アドレスを設定するための列アドレス選択信号(Column Address Select 信号-以下CAS信号と略す)を伝えるCAS信号線である。RAS信号およびCAS信号は、例えば、フレームメモリ5を構成するメモリ素子としてダイナミックRAM(Dynamic Random Access Memory-以下、DRAMと略す)を使用すると、DRAMのアドレス構成が行アドレスと列アドレスの組合せで特定のデータビットを読書きできるようになっており、これら行アドレスと列アドレスを順次、DRAMに設定するためにDRAMに印加される信号である。

19は、発振器9の前記クロックに従ってタイミング発生器10が作るビデオクロックを伝えるためのビデオクロック線である。20は、並列直列変換器7から出力されるビデオ信号をCRTに伝えるためのビデオ信号線であり、上記ビデオ信号は並列直列変換器7に設定された図形データが前記ビデオクロックに従って直列データとして出力

されるものである。

以上のように構成されたラスタスキャン型図形表示装置について、以下その動作を説明する。

CRTC1から出力される表示アドレスが、アドレス切替器3を介してフレームメモリ5のアドレス入力端子に印加され、前記アドレスに対応するフレームメモリ5内の図形データが出力される。この図形データは、並列直列変換器7によって前記ビデオクロックに従って並列データから直列データに変換され、ビデオ信号として出力される。

続いて、フレームメモリ5が記憶する図形データに対するCPU2の書込み、読出し動作について説明する。CPU2は、アドレス切替器3を介して、フレームメモリ5に対し、図形データの書込みや読出しを行なうためのアドレスを印加する。そして、データ書込みの場合は、バッファ4を介して前記アドレスに対応するフレームメモリ5に対し、CPU2が図形データの書込みを行なう。一方、読出しの場合は、バッファ6を介して、前記アドレスに対応するフレームメモリ5からCPU

2が図形データを読出す。

以上が、フレームメモリ5に記憶されている図形データをCRTC2から出力される表示アドレスに従って順次CRT画面上に表示する動作と、CPU2がフレームメモリ5の必要なアドレスに対して図形データを読み書きする動作の説明であるが、ここで、この発明において関係しているフレームメモリ5周辺の詳細な構成と動作について、第4図および第5図を用いて説明する。

第4図は第2図中のアドレス切替器3とバッファ4とフレームメモリ5とバッファ6と並列直列変換器7とで構成される部分の詳細なブロック図である。第5図は第4図中のフレームメモリ5を説明の便宜上N組(Nは自然数)のメモリブロック5-1から5-Nまでに分割したときの、1個のメモリブロックの構成図である。第5図は、メモリ素子としてデータ入力端子が1端子、データ出力端子が1端子で、入出力端子は別になっている前記DRAMを用いている。このメモリブロックは、8個のDRAMで構成し、メモリブロックと

してのデータ入出力線はそれぞれ8本ずつになっている。

ここで、現在説明しているラスタスキャン型図形表示装置の性能を、CRT画面表示構成が水平方向1280ドット、垂直方向1024ドット、フレーム周波数を60Hzとすると、現在のラスタスキャン型CRTの性能からビデオ信号の同周波数はおよそ100MHz必要になる。一般に、DRAMは、アドレスをRAS信号およびCAS信号によって印加して、データを読み書きした後、再びアドレス入力が増えられるまでのサイクル時間が約250ns~400nsかかる。前記DRAMにより構成されたフレームメモリ5に対しては、第2図CPU2からの図形データの書き込み、読出しのための期間(以降CPU期間とする)と、CRT画面上に表示するために、CRTC2により得られる表示アドレスに対する図形データを読出す期間(以降CRTC期間とする)の2つの期間が交互に繰返されるため、前記DRAMのサイクル時間を400nsとすると、CRTC2が表

示アドレスをフレームメモリ5に印加して、フレームメモリ5から図形データの表示のために読出し、続いて前記CPU期間が入り再びCRTC2がフレームメモリ5に表示アドレスを印加できるまで800nsかかることになる。

一方、ビデオ信号としては、周波数100MHz、周期10nsで1ドットに対応するフレームメモリ5の1ビットのデータを順次送る必要があるため、CRT画面上に表示するためのフレームメモリ5の読出し周期800nsをビデオ信号周期10nsで割って、

$$800\text{ ns} \div 10\text{ ns} = 80$$

から、一度に80ビットの図形データをフレームメモリ5から読出し、並列直列変換器7にセットしなければならない。並列直列変換器7には、変換用クロックとして、ビデオ信号と同じ10nsの周期の前記ビデオクロックが印加され、図形データが順次前記ビデオクロックに従って直列データとして出力され、ビデオ信号となる。

したがって、ビデオ信号周波数100MHzでサ

イクル時間400nsのDRAMをフレームメモリ5のメモリ素子として使うとすると、少なくとも80個のDRAMが必要となる。また、DRAMのデータ出力端子につながる並列直列変換器7やバッファ6も、通常は4ビットか8ビット並列処理の素子が多く、8ビット素子を使うとすると、並列直列変換器7およびバッファ6は、それぞれ $80 \div 8 = 10$ 素子ずつ必要になる。以上から第4図において、フレームメモリ5はメモリブロック10組(メモリブロック1組はDRAM8素子で構成されている)、バッファ6および並列直列変換器7はそれぞれ10素子(8ビット素子とする)で構成され、第4図中のNは10となる。

以上が従来例の構成および動作についての説明である。しかしながら、上記のような構成では、使用素子数が多く、プリント基板実装の問題、電源消費量、信頼性、コスト等の問題点を有していた。

発明の目的

この発明は、上記従来例の問題点を解消するも

ので、フレームメモリ5をCRT画面構成上最少限必要なメモリ素子数で構成し、並列直列変換器などの素子数も抑えることにより、コストが安く、フリッカの少ない高解像度の画面を表示することができるラスタスキャン型図形表示装置を提供することを目的とする。

発明の構成

この発明によるラスタスキャン型図形表示装置は、ニブル機能をもったDRAMと、このDRAMのデータ出力端子に接続されてデータを一定量蓄積できるデータラッチ素子と、このデータラッチ素子の出力端子に接続されてデータラッチ素子からの出力データをビデオ信号に変換する並列直列変換素子とで構成され、CRT画面構成上最小限のメモリ素子数で前記ラスタスキャン型図形表示装置を構成することができるものである。

実施例の説明

以下、この発明の一実施例について、図面を参照しながら説明するが、ラスタスキャン型図形表示装置全体の構成と、動作については、第2図の

従来例の構成と動作についての説明と同じであるので、この発明に関するフレームメモリ周辺の詳細なブロック図の構成と動作についてのみ説明する。

第6図がこの発明の一実施例におけるラスタスキャン型図形表示装置のフレームメモリ周辺のブロック図を示すものである。第6図は、特にラスタスキャン型図形表示装置の性能が従来例でのものと同じく、画面構成が水平方向1280ドット、垂直方向1024ドットでフレーム周波数が60Hz、ビデオ信号が100MHzのときのこの発明での構成例を示してある。アドレス切替器3、バッファ4、フレームメモリ5、バッファ6、並列直列変換器7および信号線11、12、13、16、17、18、19、20については、前記従来例の説明と同じであるので省く。ただし、フレームメモリ5を構成するそれぞれのメモリブロックは第5図のDRAM8素子の構成と同じであるが、DRAMとしてはニブル機能をもったものを使用する。

ここで、ニブル機能とは、メモリ内容を読出すためにDRAMのアドレス入力端子に、行アドレスをRAS信号で、列アドレスをCAS信号をそれぞれ印加し、データを読出した後、RAS信号をLowレベルのままにして、CAS信号をLowレベルからHighレベルにし、再びLowレベルにもどすとつぎのアドレスのデータが読出され、以後同じ動作を繰返すと、順次高速にデータを読出すことができる機能をいう。

また、画面構成上最低限必要なメモリ容量は、 $1280 \times 1024 = 1310720$ ビットであり、これを64Kbit DRAMで構成すると、

$1310720 \div 65536 = 20$ 素子となり、この発明ではこの数でフレームメモリ5を構成することができるが、説明の便宜上64Kbit DRAMを24素子用いることにする。したがって、フレームメモリ5を構成するメモリブロック(DRAM8素子で構成されている)は3組(5-1a、5-2a、5-3a)で良い。

つぎに、21はデータラッチであり、第7図にデータラッチ21に用いるデータラッチ素子の構成を示す。このデータラッチ素子(例えばTTLのSN74LS670×2)は、8ビットの並列データを書込みアドレス信号22と書込み信号23によって記憶するレジスタを4個もち、前記書込み信号23および書込みアドレス信号22と非同期に前記レジスタの内容を、読出しアドレス信号24と読出し信号25によって読出すことができる素子である。また、この素子の出力はトリステート出力になっており、読出し信号25がHighレベルのときは、出力は開放状態になっている。

データラッチ素子は、具体的には、8bitのデータ入力を4個のレジスタ30a～30dに共通に入力し、4個のレジスタ30a～30dの出力を読出し選択回路32に加え、読出し選択回路32の出力をトリステート出力回路33を介し8bitのデータ出力として取出すようになっている。4個のレジスタ30a～30dのどれにデータを書込むかは、書込みアドレス信号22と書込み信号

23によって書き込み選択回路31が選択する。また、読出し選択回路32は読出し選択アドレス信号24によってレジスタ30a~30dの出力のうちどれを出力するか選択し、トライステート出力回路33は読出し信号によって開閉を切替える。

データラッチ21は、上記構成のデータラッチ素子を3個(21-1, 21-2, 21-3)で構成され、書き込みアドレス信号22、書き込み信号23および読出しアドレス信号24は3個のデータラッチ素子21-1, 21-2, 21-3に共通に加え、読出し信号25は各々個別(25a, 25b, 25c)に加える。

以上のような構成で、この発明の一実施例における図形データ表示動作について、第8図を用いて説明する。同図のCRTC期間に表示アドレスがアドレス切替器3を介してフレームメモリ5内の各メモリブロック5-1a, 5-2a, 5-3aのアドレス入力端子に行、列アドレスとして印加されると、各メモリブロック5-1a, 5-2a, 5-3aから図形データが出力され、出力された

図形データは、データラッチ21内の各データラッチ素子21-1, 21-2, 21-3のデータ入力端子に印加され、同時にデータラッチ素子21-1, 21-2, 21-3に対し、前記書き込みアドレス信号22と前記書き込み信号23が印加されると、図形データはデータラッチ素子21-1, 21-2, 21-3内のレジスタに記憶される。

以上のようにしてフレームメモリ5内の各メモリブロック5-1a, 5-2a, 5-3aからニブル動作で順次図形データを読出し、データラッチ素子21-1, 21-2, 21-3の4個のレジスタ30a~30dに連続的に図形データを記憶する。一方、データラッチ素子21-1, 21-2, 21-3に対して、図形データが記憶されているレジスタ内容を読出すために、読出しアドレス信号24と読出し信号25がデータラッチ21に印加される。読出し信号25は、データラッチ素子21-1, 21-2, 21-3にそれぞれ25a, 25b, 25cとして印加される。第8図の期間26では25aがLOWレベルになっており、デ

ータラッチ素子の21-1の出力がアクティブになり、前記データラッチ素子21-1が記憶している図形データが読出され、並列直列変換器7に取り込まれビデオクロックに従って直列データに変換され、ビデオ信号となる。つぎに期間27ではデータラッチ素子21-2がまた期間28ではデータラッチ素子21-3がそれぞれ選択され、上述のようにビデオ信号が作られる。

以上のように、読出しアドレス24の示すデータラッチ内の各レジスタ内容がビデオ信号になると、読出しアドレス24がつぎのレジスタを示し、同一手順で順次ビデオ信号に変換され前の表示期間にフレームメモリ5からデータラッチ素子に書き込まれた図形データを全てビデオ信号に変換する。そして、次のCRTC期間に再びフレームメモリ5から図形データがデータラッチ21に書き込まれ、同様な手順でその図形データがビデオ信号に変換される。

以上がこの発明の一実施例における図形データ表示動作についての説明である。なお、CPU2

からフレームメモリ5に対する図形データの読み書き動作については、従来例の説明と全く同じであるので省略する。

ここで、この発明の表示動作における具体的なタイミング関係を考えると、フレームメモリ5のメモリブロックは、5-1a, 5-2a, 5-3aの3組が並列になっているので、図形データは8ビット×3=24ビット並列に読出され、一方データラッチ素子21-1, 21-2, 21-3はそれぞれ8ビットレジスタを4レジスタずつもっており、データラッチ全体では24×4=96ビットデータを表示期間中に記憶し、この96ビットのデータを順次並列直列変換器7でビデオ信号に変換する。前記ビデオクロックは10nsとしているから、表示期間中にフレームメモリ5の図形データをデータラッチ21に書き込んでから、再びデータラッチ21に表示用図形データを設定するまで96×10=960nsの間隔がある。これは、DPA Mのサイクル時間の関係からCPU読み書き期間と表示期間とを合わせて最低必要な

800ns (DRAMのサイクル時間を400nsとする) を越えており、この発明の構成で、従来例での図形データ表示動作と同一の動作を行なうことができる。

この発明の構成では、DRAMが24素子、バッファ6が3素子、データラッチが3素子、並列直列変換器が1素子ですみ、DRAM素子の数だけでも、 $24/80 = 3/10$ になっている。

なお、以上の説明において、データラッチ21を構成する素子には、データ書き込みクロックとデータ読出しクロックの入力端子を有し、内部に一定量の並列ビットデータを蓄積でき、書き込みクロックによって書き込まれた順に、書き込みクロックと非同期に読出しクロックによって並列ビットデータを読出すことができる First-In First-Outメモリ素子を用いても全く同様の作用および効果を有するものである。

さらに、データラッチ21を構成する素子として、Dタイプフリップフロップを用いても全く同様の作用および効果を有するものである。

発明の効果

以上のように、この発明によれば、ニブル機能を有するダイナミックメモリ素子と、一定量の並列データを別々の端子から書き込み読出しできるデータラッチ素子とを用いることにより、ラスタスキャン型CRTの画面構成上必要な最小限のメモリ素子数で、フレームメモリを構成することができ、基板実装素子数の減少、消費電力の減少、コストの低減といった優れた効果が得られるものである。

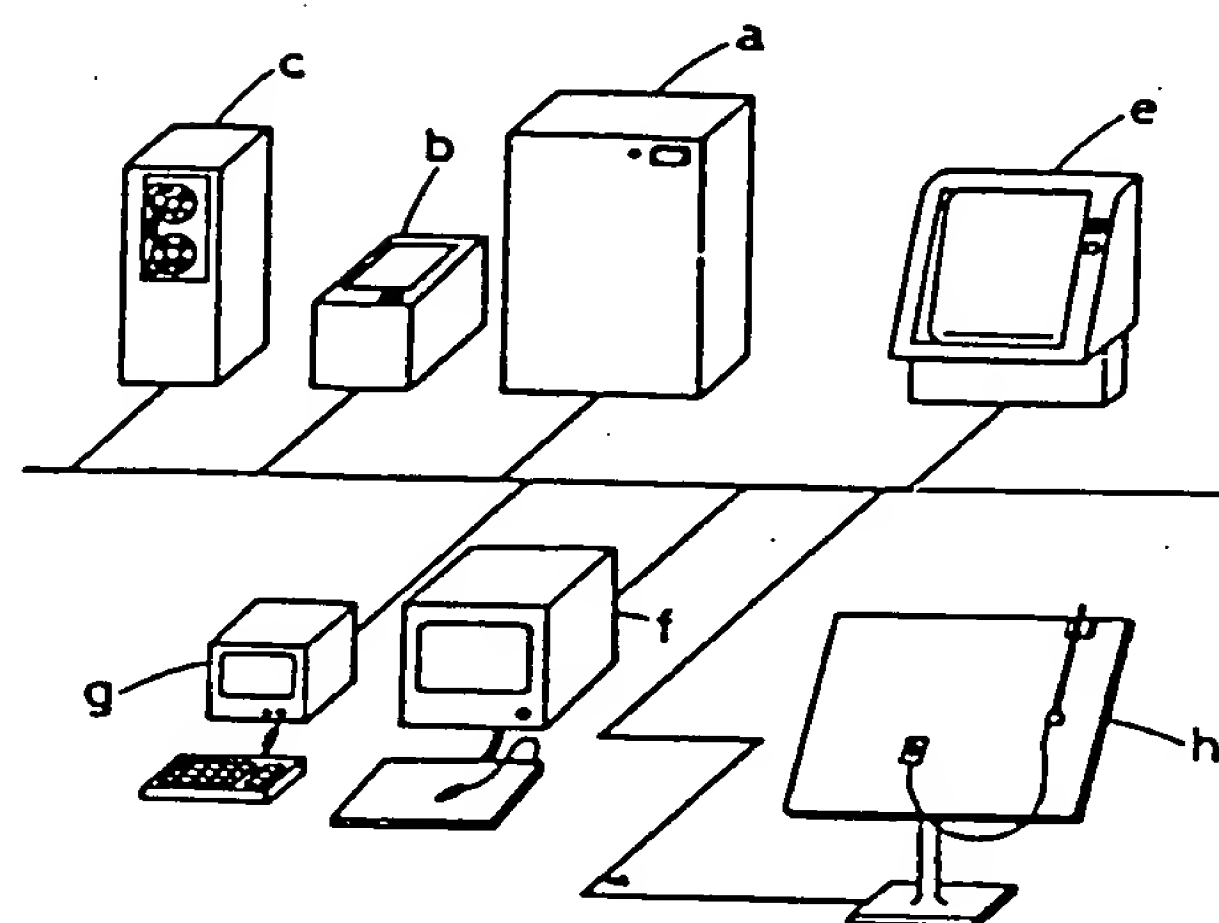
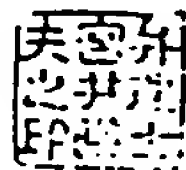
4. 図面の簡単な説明

第1図は図形情報処理システムの一例を示す斜視図、第2図は従来のラスタスキャン型図形表示装置のブロック図、第3図はフレームメモリの内容とラスタスキャン型CRT画面上のドットとの対応関係を示した説明図、第4図は第2図のフレームメモリ周辺の詳細なブロック図、第5図は第4図のフレームメモリ5を構成するメモリブロックの1個のブロック図、第6図はこの発明の一実施例におけるフレームメモリ周辺の詳細なブロッ

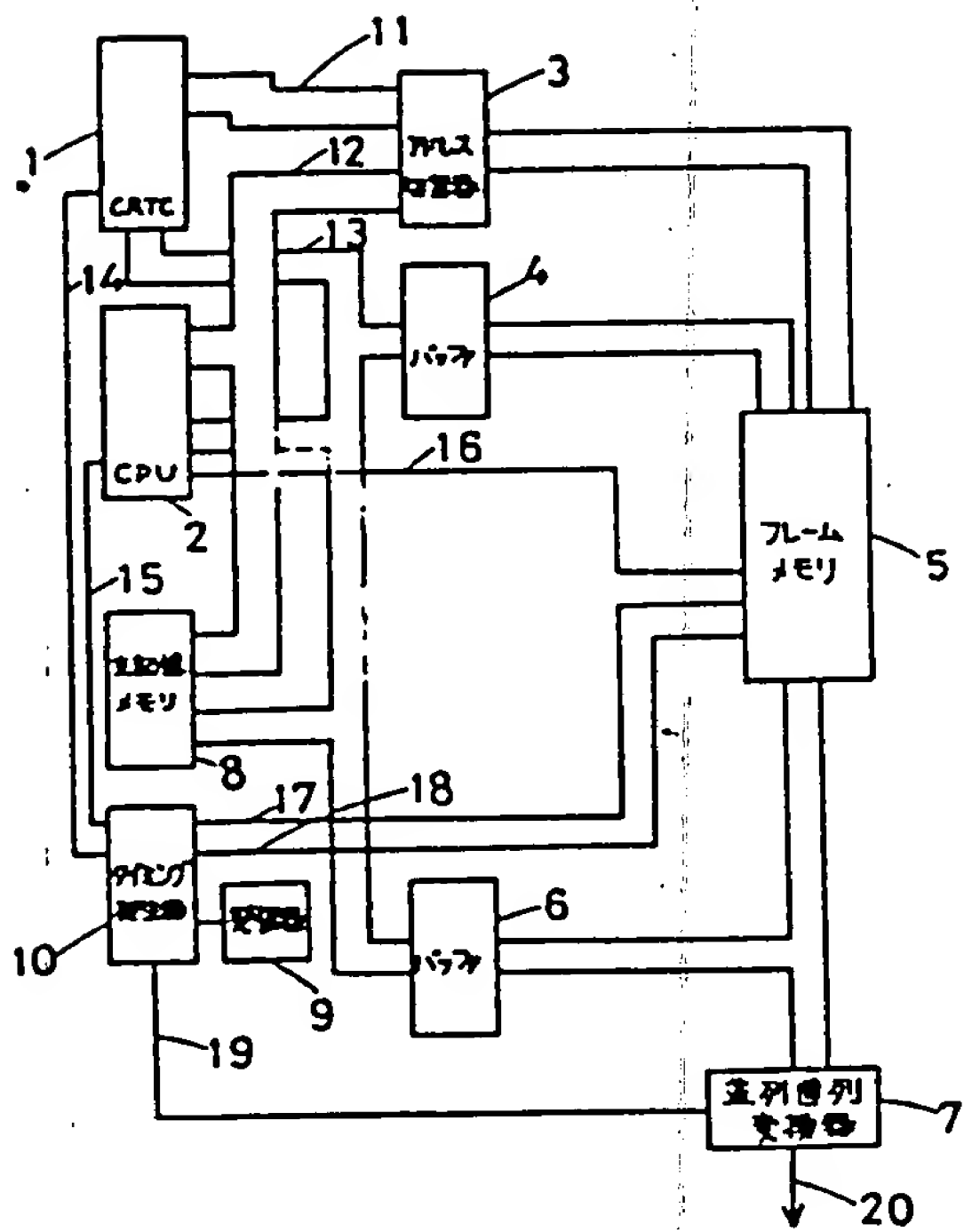
ク図、第7図は第6図のデータラッチを構成するデータラッチ素子のブロック図、第8図は第6図の各部のタイミング図である。

2…画面表示制御信号発生器、5…フレームメモリ、7…並列直列変換器、21…データラッチ

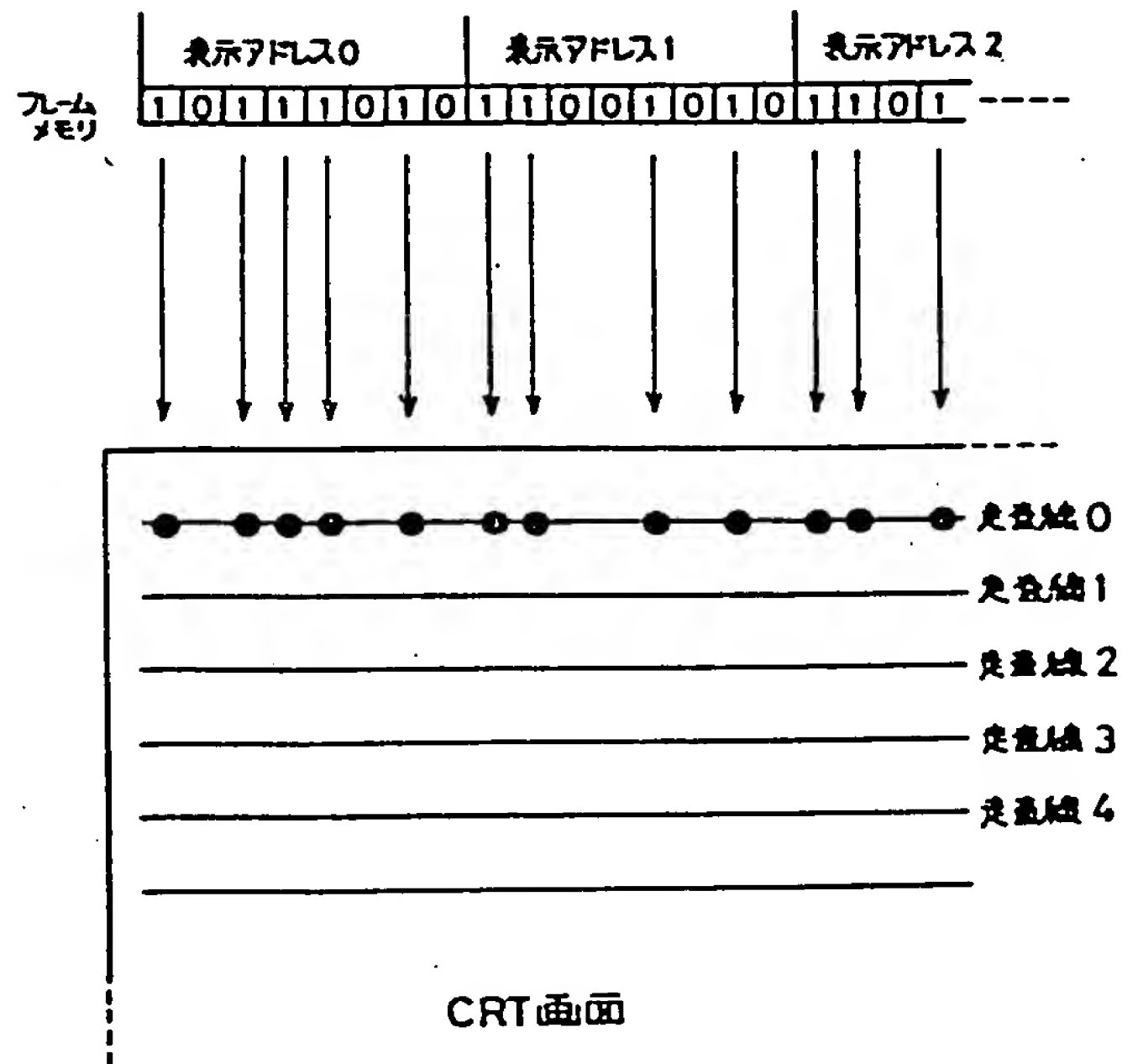
代理人 弁理士 宮 井 順 夫



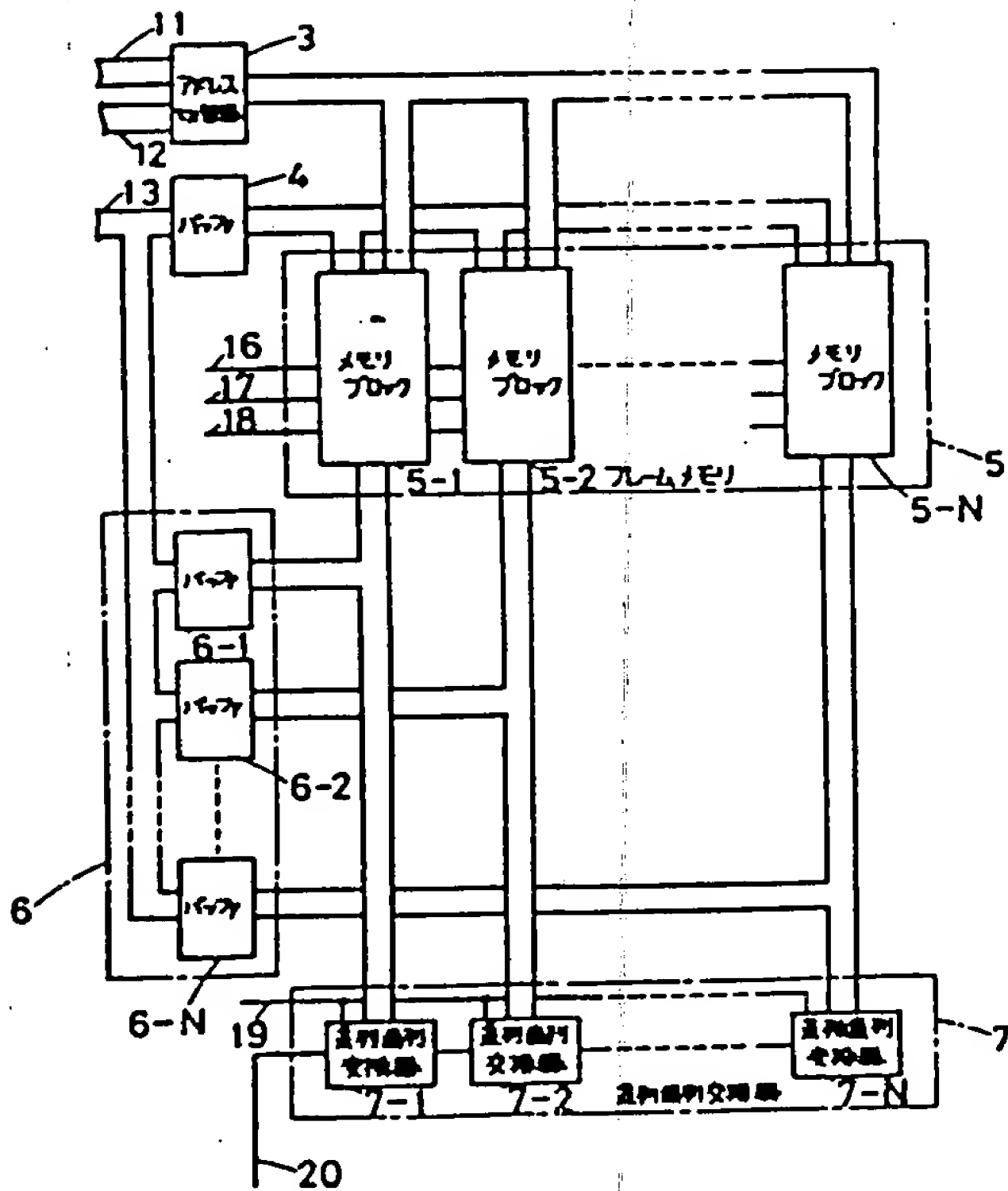
第 1 図



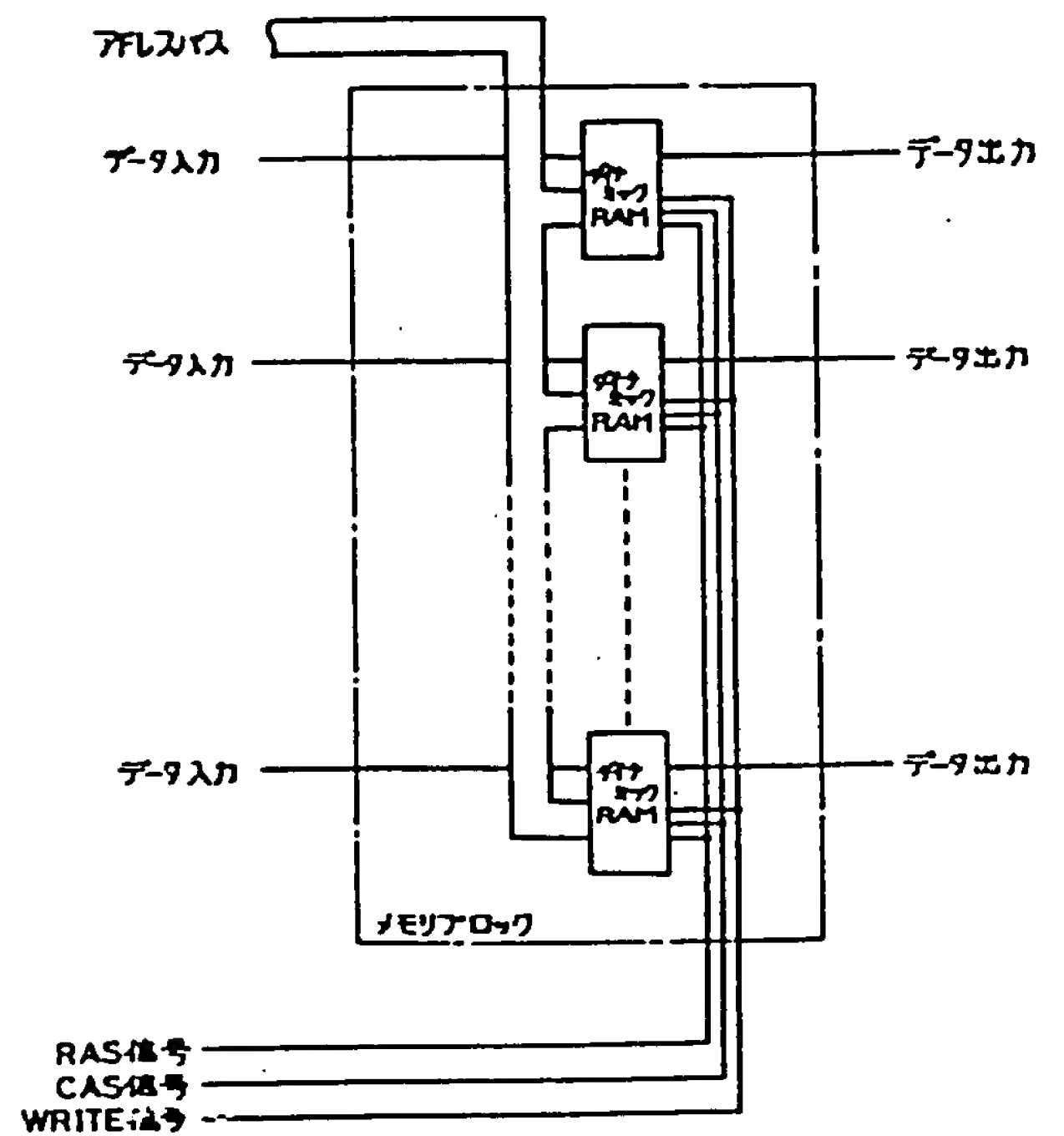
第 2 図



第 3 図



第 4 図



第 5 図

